

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: WO9842021
Publication date: 1998-09-24
Inventor(s): KUCHIMACHI KAZUHARU (JP); YAMAUCHI TATSUMI (JP)
Applicant(s):: KUCHIMACHI KAZUHARU (JP); HITACHI LTD (JP); YAMAUCHI TATSUMI (JP)

Requested Patent: ☐ WO9842021

Application
Number: WO1997JP00904 19970319

Priority Number(s): WO1997JP00904 19970319

IPC Classification: H01L21/822 ; H01L27/04 ; H03K19/096 ; H03K19/0185

EC Classification: H03K19/017C2, H01L27/02B2, H04J3/06C

Equivalents:

Abstract

A third data circuit which is controlled by clock signals and works to accelerate the changes of signals on long-distance wiring after detecting the changes is provided near a second gate circuit, which receives the signal of a first gate circuit for driving the long-distance wiring, and between the first and second gate circuits. Therefore, the proportion of delay time, caused by the wiring resistance, in the critical path in a semiconductor integrated circuit is reduced and the speed of the critical path is increased. In addition, the operating frequency of the semiconductor integrated circuit can be improved.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)
THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

再公表特許 (A 1)

(11) 国際公開番号

WO 98 / 4 2 0 2 1

発行日 平成12年 8 月22日 (2000. 8. 22)

(43) 国際公開日 平成10年 9 月24日 (1998. 9. 24)

(51) Int.Cl.⁷

識別記号

F I

H 0 1 L 21/822

27/04

H 0 3 K 19/096

19/0185

審査請求 未請求 予備審査請求 有 (全 17 頁)

出願番号 特願平10-540319

(21) 国際出願番号 PCT / J P 9 7 / 0 0 9 0 4

(22) 国際出願日 平成9年 3 月19日 (1997. 3. 19)

(81) 指定国 EP (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

(71) 出願人 株式会社日立製作所

東京都千代田区神田駿河台 4 丁目 6 番地

(72) 発明者 山内 辰美

茨城県常陸太田市幡町1906-5

(72) 発明者 口町 和治

神奈川県秦野市平沢24-1 日立知新第1寮

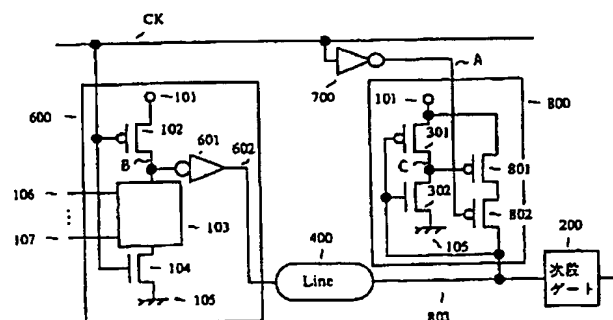
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

長距離配線を駆動する第1のゲート回路とその信号を受ける第2のゲート回路の間に、クロック信号で制御され、前記長距離配線の信号の変化を検知して動作する第3のゲート回路を第2のゲート回路の近傍に備え、前記第3のゲート回路は、信号の変化を検知後、信号の変化を加速するように動作する。これにより、半導体集積回路内のクリティカルパスに占める配線抵抗に起因する遅延時間の割り合いを低減し、クリティカルパスの高速化を図ると共に半導体集積回路の動作周波数を向上することができる。

図 3



【特許請求の範囲】

1. 第1のゲート回路と、当該ゲート回路の出力信号を配線を介して入力し次段へ信号を伝播する第2のゲート回路を有する半導体集積回路装置において、前記第1のゲート回路と第2のゲート回路の間の前記配線を介して第2のゲート回路の近傍に、前記第1のゲート回路の出力信号の変化を高速化させる第3のゲート回路を設けたことを特徴とする半導体集積回路装置。

2. 第1のクロック信号で制御される第1のゲート回路と、当該ゲート回路の出力信号を配線を介して入力し次段へ信号を伝播する第2のゲート回路を有する半導体集積回路において、前記第1のゲート回路と第2のゲート回路の間の前記配線を介して第2のゲート回路の近傍に、第2のクロック信号で制御され前記第1のゲート回路の出力信号の変化を検知し前記第1のゲート回路の出力信号の変化を高速化させる第3のゲート回路を設けたことを特徴とする半導体集積回路装置。

3. 前記第1のゲート回路はクロック信号により制御され、該クロック信号がローレベル又はハイレベルの期間にプリチャージされ、該クロック信号がハイレベル又はローレベルの期間に動作状態となるプリチャージ回路により構成されたことを特徴とする請求項2記載の半導体集積回路装置。

4. 前記第1のクロック信号と第2のクロック信号が、半導体集積回路装置内の同一相のクロック信号から供給されたことを特徴とする請求項2又は請求項3記載の半導体集積回路装置。

5. 前記第1のゲート回路からの信号配線経路上に前記第2のゲート回路が複数接続され、前記複数の第2のゲート回路のうち少なくとも1つのゲート回路の近傍に前記前記第3のゲート回路が接続されていることを特徴とする請求項1から請求項5記載の半導体集積回路装置。

6. 前記第1のゲート回路から第2のゲート回路への信号配線には、前記第1のゲート回路と同様のクロック信号により制御された複数のゲート回路の出

力が接続されていることを特徴とする請求項1から請求項5記載の半導体集積回路装置。

7. 前記第 3 のゲート回路が、前記第 1 のゲート回路から第 2 のゲート回路への信号配線のローレベルからハイレベルへの変化を高速化させる、又は、ハイレベルからローレベルへの変化を高速化させるように動作することを特徴とする請求項 1 から請求項 6 記載の半導体集積回路装置。

8. 複数のゲート回路を有し動作周波数が 1 0 0 M H z 以上の半導体集積回路装置であって、信号を送出するゲート回路と該信号を受信するゲート回路の間の配線による配線遅延を低減するためのクロック制御されたゲート回路を、受信側ゲート回路の近傍に設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

半導体集積回路装置

技術分野

本発明は、チップサイズの大型化と配線の微細化が進んだ半導体集積回路装置に関し、特に配線遅延を低減するのに適した回路構成に関する。

背景技術

従来の半導体集積回路でのクリティカルパスの高速化手法としては、(A) ゲート回路の基本遅延時間の低減、(B) ゲート回路の負荷駆動力の向上、(C) ゲート回路の多重化による出力負荷分散、などがあった。

上記 (A) や (B) に対して効果的なものに、従来からプリチャージ回路が知られている。プリチャージ回路は、あらかじめ出力ノードをプリチャージしておき、動作時には出力インピーダンスの小さいトランジスタで駆動するものである。

これらの高速化手法は、容量性負荷には効果が上がっても、配線抵抗などの抵抗性負荷には思ったほど効果が上がらない。

しかし、従来の半導体集積回路においては、ゲート回路の負荷駆動トランジスタのオン抵抗に比べ配線抵抗はまだ小さかったため、容量性負荷についての高速化手法でクリティカルパスを高速化することが可能であった。

しかしながら、半導体集積回路内に一部の長距離配線が存在していたため、長距離配線を高速化する必要は従来から認識されていた。ただ従来の長距離配線の高速化手法は、特開平 4 - 2 3 3 4 7 号に記載されているように、長距離配線の途中に中継バッファを挿入するのが一般的であった。

従来のようにクリティカルパスに占める配線遅延の割合がゲート回路の遅延時間に比べて小さい場合には、上記に示したような高速化手法で効果が上

がったが、今日のように半導体集積回路の大サイズ化と微細化が進み配線遅延の割合が大きい場合には、その高速化の効果は小さくなっていく。

この配線遅延の影響に関しては、NIKKI ELECTRONICS 1995 . 3. 13号の特集「高速LSI設計」(177頁～183頁)に、動作周波数が100M

Hz を越えて設計ルールが $0.35\mu\text{m}$ ルールになると配線遅延の比率が50%を超えることが記載されている。

配線遅延の問題は、半導体集積回路の微細化と相反するものであり、今後ますます重要な問題となっていく。現在でも、ゲート回路の高速化と同様に配線遅延を短縮することが、クリティカルパスを高速化するうえで重要な課題となっている。

従来から使われている、長距離配線の途中に中継バッファを挿入する手法は、信号の局性を合わせるためにインバータを2段挿入する必要が生じるなど、全てのケースについて高速化することは不可能だった。

本発明の目的は、半導体集積回路内のクリティカルパスに占める配線抵抗に起因する遅延時間の割合を低減し、クリティカルパスの高速化を図ると共に半導体集積回路の動作周波数を向上することにある。

本発明の別の目的は、長距離配線駆動の高速化と、長距離配線の駆動回路を分散させることによるノイズ源の分散と、さらには、エレクトロマイグレーションに起因する信頼性の低下を防止することにある。

発明の開示

本発明は、第1のゲート回路と、当該ゲート回路の出力信号を入力とし次段へ信号を伝播する第2のゲート回路を有した半導体集積回路装置において、前記第1のゲート回路と第2のゲート回路を接続する配線に接続するゲート回路であって、前記第1のゲート回路の出力信号の変化を高速化させる第3のゲート回路を前記第2のゲート回路の近傍に設けた半導体集積回路装置である。

これにより、半導体集積回路装置内のクリティカルパスに占める配線抵抗

による配線遅延時間の割合を低減し、クリティカルパスの高速化及び半導体集積回路の動作周波数の向上を図ることができる。

図面の簡単な説明

図1は本発明の第1の実施例である半導体集積回路装置の回路構成を示す図であり、図2は本発明の第2の実施例である半導体集積回路装置の回路構成を示す図であり、図3は本発明の第3の実施例である半導体集積回路装置の回路構成を

示す図であり、図4は本発明の第4の実施例である半導体集積回路装置の回路構成を示す図であり、図5は本発明の第5の実施例である半導体集積回路装置の回路構成を示す図であり、図6は本発明の第6の実施例である半導体集積回路装置の回路構成を示す図であり、図7は本発明の第7の実施例であり、図8は図3の第3の実施例の動作タイミングチャートである。

発明を実施するための最良の形態

以下、本発明の実施例について図面を用いて説明する。図中、同一部分には同一番号を付してある。

図1は本発明の第1の実施例である。図中、CKはクロック信号、100はプリチャージ回路、200は次段のゲート回路、300は高速化回路、400は長距離配線である。

プリチャージ回路100内は、電源電位101、PMOSFET102、NMOSFETで構成された論理回路103、NMOSFET104、及び接地電位105から構成されている。クロック信号CKがローレベルの期間は、PMOSFET102がオンしプリチャージ回路100の出力信号108をハイレベルへプリチャージする。また、クロック信号CKがハイレベルの期間は、NMOSFETがオンし入力信号106から107を入力したNMOS論理103の動作により、出力信号108の電位をハイレベルへ維持する様に、あるいは接地電位へ変化させる様に動作する。

高速化回路300は、電源電位101、PMOSFET301、

NMOSFET302, 303, 304、及び接地電位105から構成されている。クロック信号CKがローレベルの期間は、NMOSFET303がオフしているため信号305へは、プリチャージ回路100が出力した信号レベルがそのまま伝播される。また、クロック信号CKがハイレベルの期間は、信号305がハイレベルの場合、PMOSFET301とNMOSFET302で構成されたインバータの出力がローレベルとなり、やはり信号305へはプリチャージ回路100の出力信号がそのまま伝播される。クロック信号CKがハイレベルで信号305がローレベルの場合、PMOSFET301とNMOSFET302で構成されたインバータの出力がハイレベルとなり、結果的にNMOSFET303とNMOSFET304が同時にオンし、信号305の電

位をローレベルへ引き下げる。

すなわち、クロック信号CKがローレベルの期間は、プリチャージ回路100の出力108はハイレベルを維持したままであり、信号305もプリチャージ回路100の出力信号108が配線400を通過した後伝播される。この時、高速化回路300はNMOSFET 303がオフしているため信号305へは影響を与えない。NMOSFET 303は、プリチャージ回路100がプリチャージ動作の期間、すなわち信号305がローレベルからハイレベルへ変化する場合に高速化回路300と衝突しないようにオフしている。

また、クロック信号CKがハイレベルの期間は、入力信号106から107に応じてプリチャージ回路100の出力信号108は変化する。この場合、出力信号108がローレベルへ変化した場合を考えると、出力信号108の変化は配線400を通過した後、信号305へ伝播される。出力信号305がハイレベルからローレベルへ変化する始めると、高速化回路300内のPMOSFET 301とNMOSFET 302で構成されたインバータの出力がローレベルからハイレベルへ変化する、結果的にNMOSFET 303とNMOSFET 304が共にオンし、信号305の電位を高速にローレベルへ引き下げる。

高速化回路300の反応速度は、PMOSFET 301とNMOSFET 302で構成されたインバータの論理しきい値に大きく影響を受け、論理しきい値が高いほうが高速に反応する。現実的には、電源ノイズや信号線305のノイズに影響を

受けない範囲で前記インバータの論理しきい値を高く設定するのが好ましい。

本実施例によれば、プリチャージ回路で構成された駆動回路と次段ゲートが一定の距離以上離れている場合、次段ゲート回路の近辺に高速化回路を備えることで、プリチャージ回路のローレベルへ変化する動作を高速に行うことが出来る。

また、プリチャージ回路の駆動する容量負荷が大きい場合には、ドライバを分散配置（高速化回路が負荷駆動の一部を担う）できることから、ノイズ源の発生要因を分散させると共に、エレクトロマイグレーションからの制約による電源線的设计を用意にする効果がある。

図2は本発明の第2の実施例である。図1に示した第1の実施例と異なるとこ

ろは、高速化回路500内の回路構成だけである高速化回路500は、PMOSFET 501とNMOSFET 502, 503, 504から構成されている、PMOSFET 501とNMOSFET 502でインバータを構成していて、NMOSFET 502と504はカレントミラー接続されている。

図2に示した実施例は、図1の第1の実施例と機能上の差異はなく、その効果も同じである。

図3は本発明の第3の実施例である。図中、600はプリチャージ回路であり図1のプリチャージ回路100の出力部にインバータ601を付加したものである。従って、クロック信号CKがローレベルのプリチャージ期間中に、出力信号602はローレベルとなる。

インバータ700はクロック信号CKの反転信号を高速化回路800へ供給する。高速化回路800が図1の高速化回路300と異なっているところは、PMOSFET 301とNMOSFET 302で構成されたインバータの出力がPMOSFET 801に供給され、PMOSFET 801と信号803の間に、ゲートをインバータ700で制御されたPMOSFET 802が接続されている点である。

図3に示す第3の実施例では、プリチャージ回路600の出力信号である602と配線400を介した信号803のローレベルからハイレベルへの変化を高

速化する効果がある。図8に図3の動作タイミングチャートを示す。

その他、ノイズ源の分散やエレクトロマイグレーションに関する効果は図1の第1の実施例と同様である。

図4は本発明の第4の実施例である。図3に示した第3の実施例と異なるところは、高速化回路900内の回路構成だけである。高速化回路900は、PMOSFET 901, 903, 904とNMOSFET 902から構成されている。PMOSFET 901とNMOSFET 902でインバータを構成していて、PMOSFET 901と903はカレントミラー接続されている。

図4に示した実施例は、図3の第3の実施例と機能上の差異はなく、その効果も同じである。

図5は本発明の第5の実施例である。図中、1000はプリチャージ回路またはス

タティク回路で構成された駆動回路である。1100は高速化回路である。高速化回路1100はディレイ回路1101とPMOSFET1102, 11004, 1105とNMOSFET1103, 1106, 1107から構成されている。PMOSFET1102とNMOSFET1103で構成されたインバータの出力はPMOSFET1104とNMOSFET1107へ供給されている。PMOSFET1104と1105は、信号1108のローレベルからハイレベルへの変化を高速化する。またNMOSFET1106と1107は、信号1108のハイレベルからローレベルへの変化を高速化する。

ディレイ回路1101は、駆動回路1000と高速化回路1100のデータ衝突が起こらないように制御するためのものであり、図1から図4に示したクロック信号CKと同様の働きをしている。

ここで信号1108がローレベルでディレイ回路1101の出力がローレベルとなっている場合を考える。、この時、信号1108がローレベルからハイレベルへ変化すると、PMOSFET1104と1105を介して信号1108は高速にハイレベルへ引き上げられる。一定時間経過するとディレイ回路1101の出力信号はハイレベルへ変化するためPMOSFET1105はオフとなり高速化回路1100の機能は停止する。信号1108がローレベルからハイレベルへ変化する期間は、ディレイ回路1101の出力信号がローレベルのため、NMOSFET1106と

1107を介して電流が引き抜かれることはない。

次に信号1108がハイレベルからローレベルへ変化する場合を考えると、PMOSFET1105がオフでNMOSFET1106がオンしているため、信号1108の変化をPMOSFET1102とNMOSFET1103で構成されたインバータが反応してその出力信号がハイレベルへ変化し始めると、NMOSFET1106と1107を介して高速にローレベルへ引き下げられる。

本実施例では、高速化回路1100の制御信号をディレイ回路1101を用いて自己発生させているが、ドライバを制御するクロック信号とタイミングをずらしたクロック信号を新たに発生させ高速化回路を制御することも可能である。

本実施例の効果は、駆動回路がブリチャージ回路の場合でもスタティク回路の場合でも、信号の変化を高速化することが出来る。更に、信号のローレベルか

らハイレベルへの変化もハイレベルからローレベルへの変化も高速化することができる。

更に、ノイズ源の分散やエレクトロマイグレーションに関して図1の第1の実施例と同様に効果がある。

図6は本発明の第6の実施例である。本実施例は次段ゲート回路200がシリーズに複数ある場合に適用したものであり、図中、1200や1300が今まで述べてきた高速化回路である。本実施例の特徴は駆動回路100から次段ゲート回路までの配線経路の複数箇所に高速化回路を配置した点である。これにより、駆動回路100からの次段ゲート回路200までの信号伝播時間をさらに高速化させることができる。

本実施例では、ローレベルへの高速化について示してあるが、駆動回路や高速化回路の組み合わせによっては、ハイレベルへの高速化や、ローレベルへとハイレベルへの両方を高速化するように構成することもできる。

図7は本発明の第7の実施例である。図中、1400は半導体集積回路装置で1401～1404は論理ブロックである。1410～1412が信号線1430の駆動回路であり、半導体集積回路上に分配されたクロック信号により制御されてい

る。1413～1415が次段ゲート回路、1420～1422が本発明で示した高速化回路である。

本実施例のように信号線1430が半導体集積回路内の全面に渡り、その駆動回路も次段のゲート回路も複数存在するような場合には、本発明で示した高速化回路を信号線1430の経路に複数配置することにより信号伝播を高速に行うことが出来る。

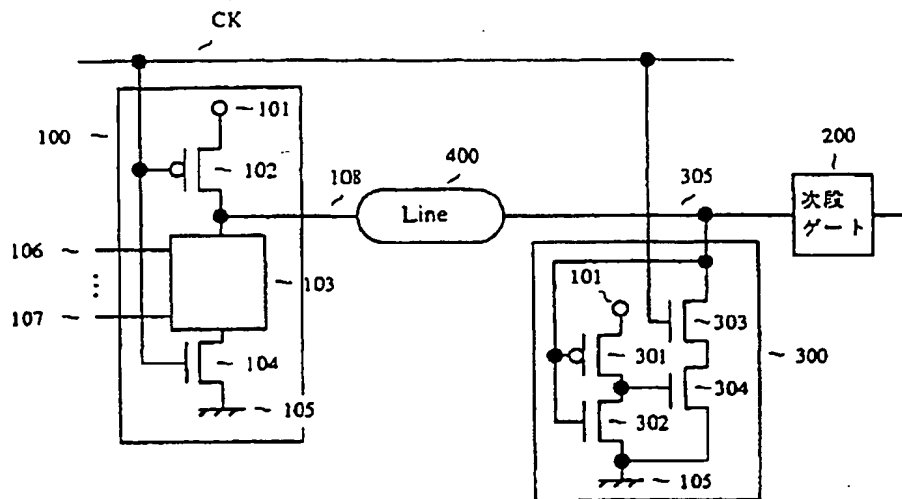
本実施例によれば、信号線1430の途中に中間バッファを挿入するよりも高速に、しかも信号線のポジ／ネガ局性を意識することなく信号伝播を高速化することが出来る。

産業上の利用可能性

以上のように、本発明は、チップサイズの大型化と配線の微細化が進んだ半導体集積回路装置に用いるのに適している。

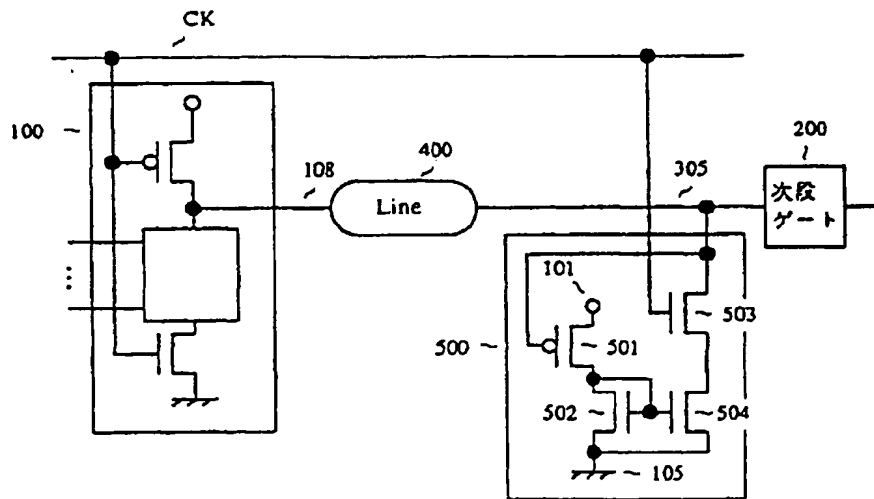
【図1】

図 1



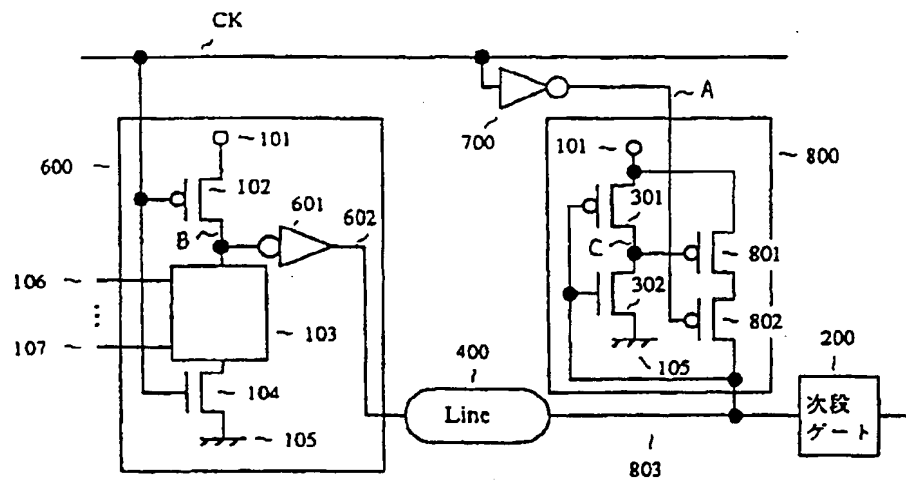
【図2】

図 2



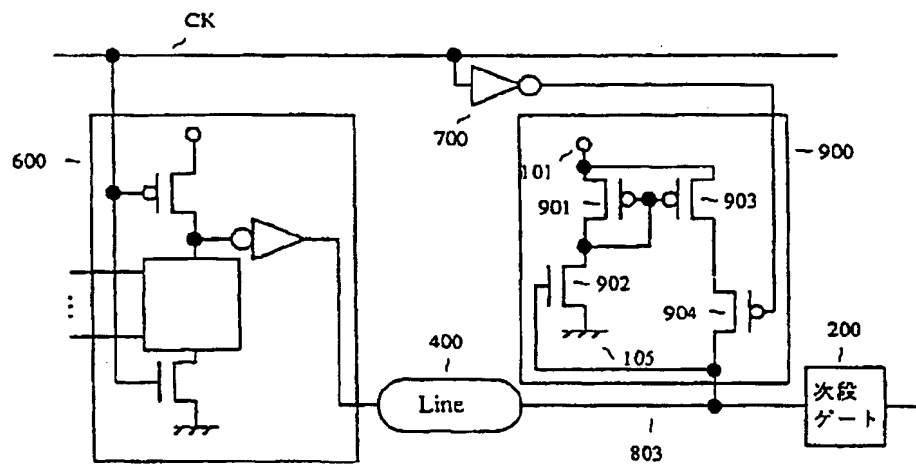
【図 3】

図 3



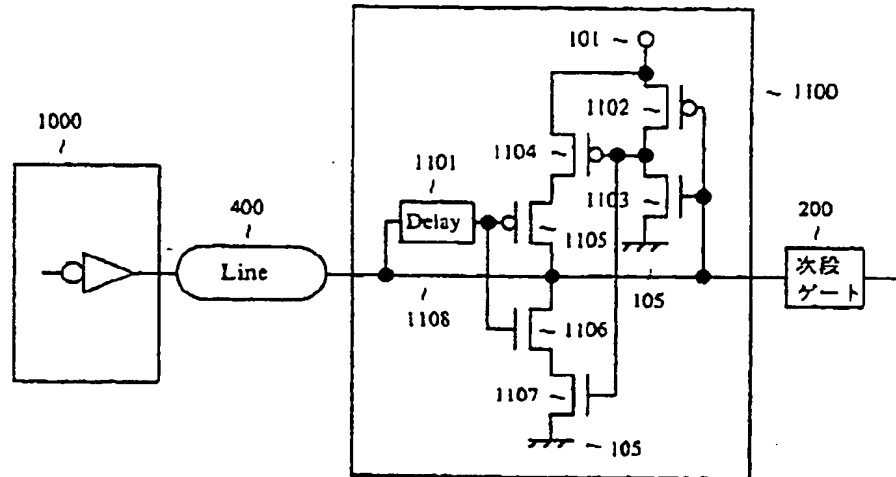
【図 4】

図 4



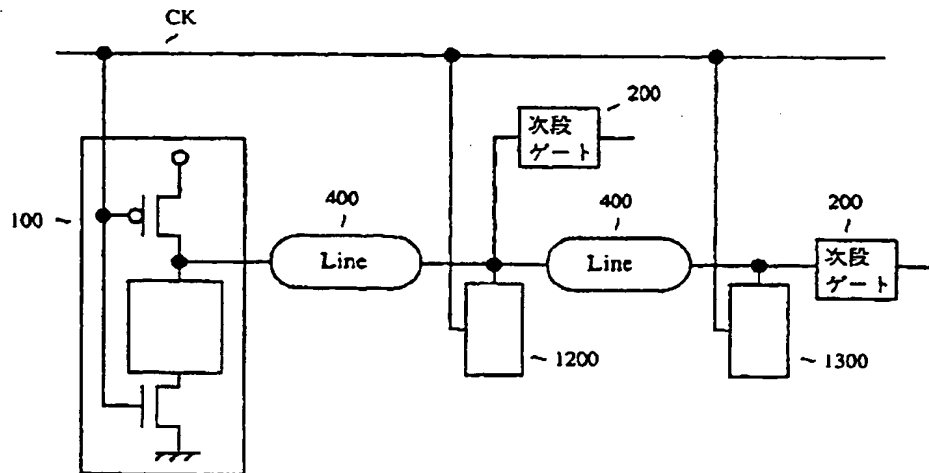
【図5】

図5



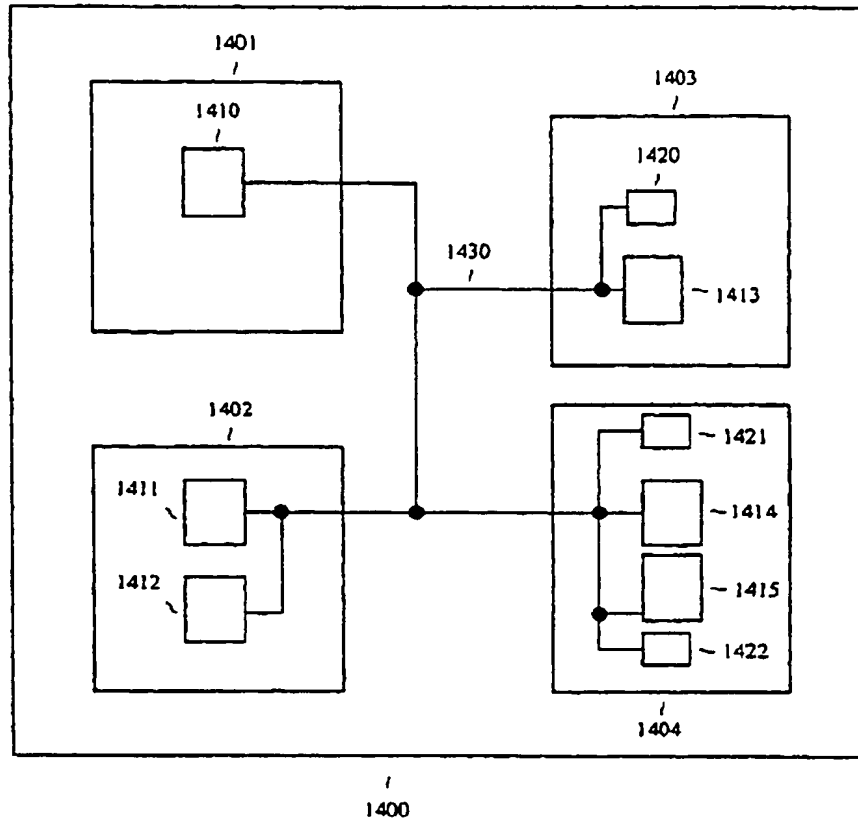
【図6】

図6



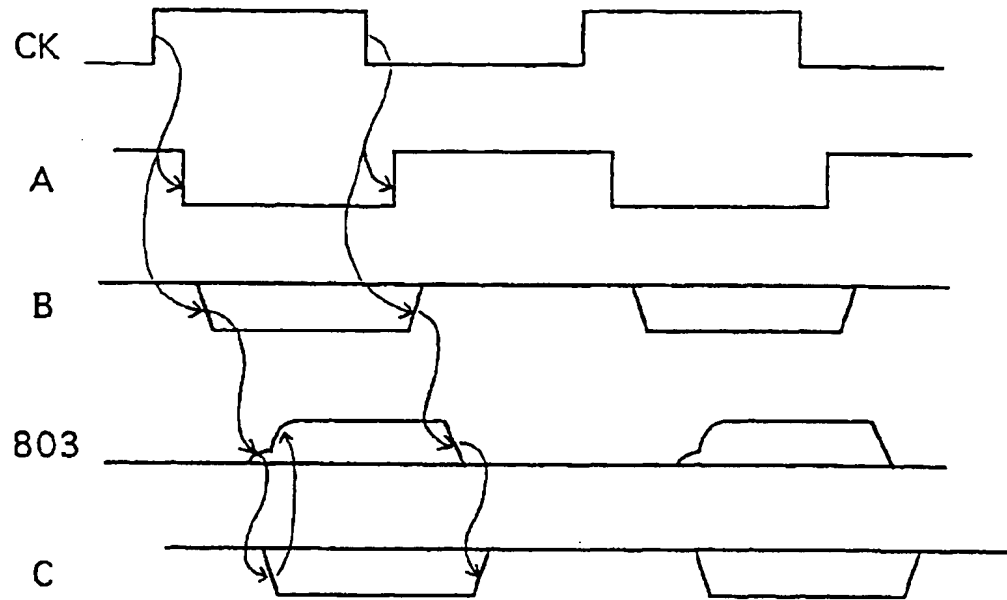
【図7】

図 7



【図8】

図8



【国際調査報告】

国際調査報告		国際出願番号 PCT/J P 97/00904	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. ' H01L21/822, H01L27/04, H03K19/096, H03K19/0185			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. ' H01L21/822, H01L27/04, H03K19/096, H03K19/0185			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926-1997年 日本国公開実用新案公報 1971-1997年 日本国登録実用新案公報 1994-1997年			
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP8-8725A(富士通株式会社)12.1月.1996(12.1.96), 引[用箇所[例:第1図乃至第2図 及び明細書関連箇所](ファミリーなし)	1-4	
Y	JP4-246913A(日本電気株式会社)2.9月.1992(2.9.92), 引[用箇所[例:第1図乃至第5 図及び明細書関連箇所](ファミリーなし)	1-4	
Y	JP63-42216A(株式会社日立製作所)23.2月.1988(23.2.88), 引[用箇所[例:第9図乃至 第10図及び明細書関連箇所](ファミリーなし)	1-4	
Y	JP61-163414A(セイコーエプソン株式会社)20.7月.1987(20.7.87), 引[用箇所[例:第 2図及び明細書関連箇所](ファミリーなし)	1-4	
X	JP2-165724A(シャープ株式会社)26.6月.1990(26.6.90), 引[用箇所[例:第1図(a)及 び明細書関連箇所](ファミリーなし)	1-2	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日 17.06.97		国際調査報告の発送日 24 / 06 / 1997	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 今井 淳一 印 電話番号 03-3581-1101 内線 3463	

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 184 条の 10 第 1 項 (実用新案法第 48 条の 13 第 2 項) により生ずるものであり、本掲載とは関係ありません。

THIS PAGE BLANK (USPTO)